

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-283422

(43)Date of publication of application : 29.10.1993

(51)Int.Cl.

H01L 21/336

H01L 29/784

(21)Application number : 03-187527

(71)Applicant : SUMITOMO METAL IND LTD

(22)Date of filing : 26.07.1991

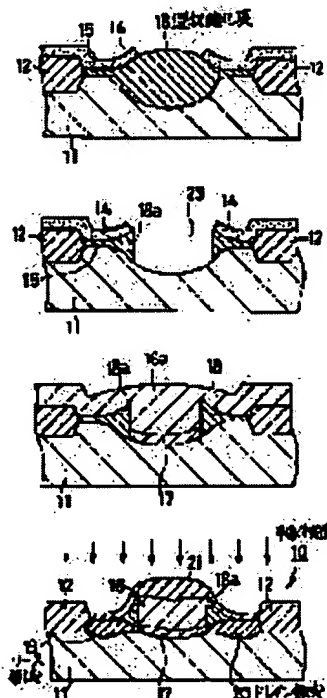
(72)Inventor : OMA TAKAHIKO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To simplify a manufacturing process and manufacture high quality products, by a method wherein, after a selective oxide film is anisotropically etched and eliminated by using an  $\text{Si}_3\text{N}_4$  film as a mask, an exposed substrate part is oxidized, and  $\text{Si}_3\text{N}_4$  is eliminated, a gate is buried in the part between the remaining selective oxide films.

**CONSTITUTION:** After an  $\text{SiO}_2$  film 15 and an  $\text{Si}_3\text{N}_4$  film 14 are formed in order on a silicon substrate 11, and the  $\text{Si}_3\text{N}_4$  film 14 on a gate electrode forming region 23 is eliminated, the  $\text{SiO}_2$  film 15 is, selectively oxidized by using the  $\text{Si}_3\text{N}_4$  film 14 as a mask. A selective oxide film 18 is anisotropically etched and eliminated by using the  $\text{Si}_3\text{N}_4$  film as a mask. After the exposed part of the silicon substrate 11 is oxidized, the  $\text{Si}_3\text{N}_4$  film 14 is eliminated. After a gate electrode 16 is buried in the part between the left selective oxide films 18, ions are implanted by using the gate electrode 16 as a mask, and a source region 19 and a drain region 20 are formed. For example, the gate electrode 16 is formed by depositing polysilicon 16a and etching it back.



**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-283422

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/336

29/784

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M

H 0 1 L 29/ 78

3 0 1 L

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号 特願平3-187527

(22)出願日 平成3年(1991)7月26日

(71)出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72)発明者 大麻 隆彦

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

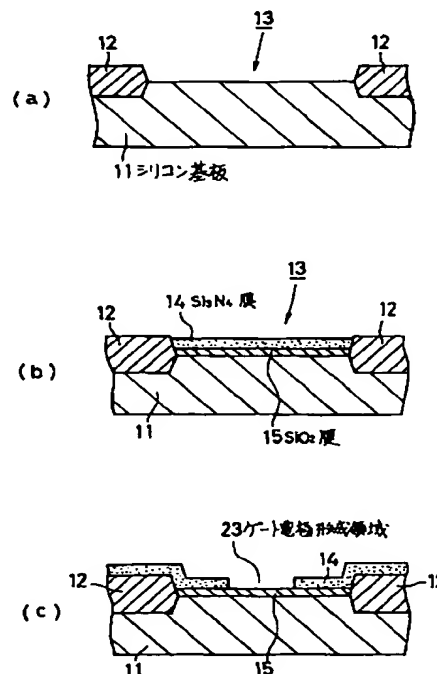
(74)代理人 弁理士 井内 龍二

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【構成】 (a) シリコン基板上にSiO<sub>2</sub>膜、Si<sub>3</sub>N<sub>4</sub>膜を順次形成する工程、(b) ゲート電極形成領域上の前記Si<sub>3</sub>N<sub>4</sub>膜を除去する工程、(c) 前記Si<sub>3</sub>N<sub>4</sub>膜をマスクとして前記SiO<sub>2</sub>膜を選択的に酸化する工程、(d) 前記Si<sub>3</sub>N<sub>4</sub>膜をマスクとして前記選択酸化膜を異方性エッチングにより除去する工程、(e) 露出したシリコン基板部分を酸化する工程、(f) 前記Si<sub>3</sub>N<sub>4</sub>膜を除去する工程、(g) ゲート電極を残存している前記選択酸化膜間に埋め込む工程、(h) 前記ゲート電極をマスクとしてイオン注入し、ソース、ドレイン領域を形成する工程を含む半導体装置の製造方法。

【効果】 ゲート電極16をマスクとし、さらに選択酸化膜18を通じてイオン注入を行うので、イオン注入工程を簡略化することができ、従来よりも簡略化された工程で、LDD構造を有する微細な半導体装置10を製造することが可能となる。



1

## 【特許請求の範囲】

【請求項 1】 (a) シリコン基板上にSiO<sub>2</sub>膜、Si<sub>3</sub>N<sub>4</sub> 膜を順次形成する工程、

(b) ゲート電極形成領域上の前記Si<sub>3</sub>N<sub>4</sub> 膜を除去する工程、

(c) 前記Si<sub>3</sub>N<sub>4</sub> 膜をマスクとして前記SiO<sub>2</sub>膜を選択的に酸化する工程、

(d) 前記Si<sub>3</sub>N<sub>4</sub> 膜をマスクとして前記選択酸化膜を異方性エッチングにより除去する工程、

(e) 露出したシリコン基板部分を酸化する工程、

(f) 前記Si<sub>3</sub>N<sub>4</sub> 膜を除去する工程、

(g) ゲート電極を残存している前記選択酸化膜間に埋め込む工程、

(h) 前記ゲート電極をマスクとしてイオン注入し、ソース、ドレイン領域を形成する工程、

を含んでいることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法、より詳細にはLDD (Lightly Doped Drain)構造を有するMOSトランジスタが形成された半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 MOSトランジスタにおいてはドレイン領域の端部に電荷が集中する傾向が強く、この電荷の集中を緩和するために前記LDD構造等が提案されている。

【0003】 従来のLDD構造を有するMOSトランジスタが形成された半導体装置の製造方法を図面に基づいて説明する。まず、シリコン基板31上にLOCOS等の方法により素子分離膜32を形成する(図2

(a))。

【0004】 そして素子分離膜32間の素子形成領域33にゲート酸化膜37を形成し、素子分離膜32及びゲート酸化膜37上にゲート電極材料36aを積層する(図2(b))。

【0005】 その後、フォトリソグラフィによりゲート電極36となる部分にフォトレジスト34を塗布し、このフォトレジスト34をマスクとしてプラズマによる異方性エッチングを行い、フォトレジスト34を塗布したゲート電極36となる部分以外のゲート電極材料36aを除去(図2(c))した後、フォトレジスト34を除去する。

【0006】 そして、ゲート電極36と素子分離膜32をマスクとしてイオン注入等により、シリコン基板31表面層に導電性を有する濃度の低い不純物の拡散層を形成し、低濃度ソース領域38及び低濃度ドレイン領域39を形成する(図2(d))。

【0007】 次いで、ゲート電極36及びゲート酸化膜37上にCVD等により酸化膜35を積層形成する(図

2

2(e))。

【0008】 そして、酸化膜35をエッチバックしてサイドウォール35aを形成し(図2(f))、ゲート電極36及びサイドウォール35aをマスクとしてイオン注入等により、シリコン基板31表面層に導電性を有する濃度の高い不純物の拡散層を形成し、高濃度ソース領域40及び高濃度ドレイン領域41を形成する(図2(g))。

## 【0009】

【発明が解決しようとする課題】 上記した製造方法により形成された半導体装置30にあつては、シリコン基板31上に形成されたゲート電極36により、ゲート酸化膜37とゲート電極36との間に比較的大きな段差が生じ、後の工程での配線が困難となるという課題があつた。

【0010】 また、LDD構造を形成するために、イオン注入によって低濃度ソース領域38及び低濃度ドレイン領域39をいったん形成した後、高濃度ソース領域40及び高濃度ドレイン領域41を形成するためにさらにイオン注入をしなければならず、イオン注入の工程が2回必要となり、全体の行程が複雑になるという課題があつた。

【0011】 さらに、シリコン基板31上にゲート電極36を形成する際、ゲート電極36のエッチング工程(図2(c))が必要となるが、ゲート電極36の寸法の制御や素子分離膜32との位置合わせが困難であるという課題があつた。

【0012】 また、ゲート酸化膜37の薄膜化により、ゲート電極36をエッチングしてゲート電極36を形成する際に、ゲート酸化膜37をエッチングしすぎてシリコン基板31までエッチングしてしまうことがあり、ゲート電極36の形成時におけるオーバエッチングのコントロールが困難であるという課題があつた。

【0013】 本発明はこのような課題に鑑み発明されたものであつて、半導体装置の製造工程を簡略化することができるとともに、品質の向上した製品を製造することができる半導体装置の製造方法を提供することを目的としている。

## 【0014】

【課題を解決するための手段】 上記目的を達成するために本発明に係る半導体装置の製造方法は、(a)シリコン基板上にSiO<sub>2</sub>膜、Si<sub>3</sub>N<sub>4</sub> 膜を順次形成する工程、

(b) ゲート電極形成領域上の前記Si<sub>3</sub>N<sub>4</sub> 膜を除去する工程、(c) 前記Si<sub>3</sub>N<sub>4</sub> 膜をマスクとして前記SiO<sub>2</sub>膜を選択的に酸化する工程、(d) 前記Si<sub>3</sub>N<sub>4</sub> 膜をマスクとして前記選択酸化膜を異方性エッチングにより除去する工程、(e) 露出したシリコン基板部分を酸化する工程、(f) 前記Si<sub>3</sub>N<sub>4</sub> 膜を除去する工程、(g) ゲート電極を残存している前記選択酸化膜間に埋め込む工程、

(h) 前記ゲート電極をマスクとしてイオン注入し、ソ

10

20

30

40

50

3

ース、ドレイン領域を形成する工程、を含んでいることを特徴としている。

#### 【0015】

【作用】上記方法によれば、(a) シリコン基板上にSiO<sub>2</sub>膜、Si<sub>3</sub>N<sub>4</sub>膜を順次形成する工程、(b) ゲート電極形成領域上の前記Si<sub>3</sub>N<sub>4</sub>膜を除去する工程、(c) 前記Si<sub>3</sub>N<sub>4</sub>膜をマスクとして前記SiO<sub>2</sub>膜を選択的に酸化する工程、(d) 前記Si<sub>3</sub>N<sub>4</sub>膜をマスクとして前記選択酸化膜を異方性エッチングにより除去する工程、(e) 露出したシリコン基板部分を酸化する工程、(f) 前記Si<sub>3</sub>N<sub>4</sub>膜を除去する工程、(g) ゲート電極を残存している前記選択酸化膜間に埋め込む工程、(h) 前記ゲート電極をマスクとしてイオン注入し、ソース、ドレイン領域を形成する工程、を含んでいるので、前記ゲート電極が前記シリコン基板と前記選択酸化膜の中に埋め込まれるように形成されることとなり、前記ゲート電極と前記シリコン基板との段差が小さくなり、後の工程での配線が容易となる。また、前記ゲート電極をマスクとし、さらに前記選択酸化膜の異方性エッチングにより残存したバース・ピークを通じてイオン注入を行うことにより、イオン注入がバース・ピークのテーパに対応した濃度分布で行われることとなる。従って、従来からLDD構造のトランジスタを作成するために行われていた低濃度のソース領域とドレイン領域との形成、及び高濃度のソース領域と高濃度のドレイン領域との形成工程が一回のイオン注入の工程で行われることとなり、イオン注入工程が簡略化される。さらに、前記シリコン基板上に前記ゲート電極を形成する際、該ゲート電極の寸法は前記Si<sub>3</sub>N<sub>4</sub>膜を除去する際に容易に制御されることとなるとともに、前記ゲート電極をエッチングする際の工程が容易となりオーバーエッチングをすることがなくなる。

#### 【0016】

【実施例】以下、本発明に係る半導体装置の製造方法の実施例を図面に基づいて説明する。図1において、11はP型のシリコン基板を示しており、まず、シリコン基板11上にLOCOS等の方法により素子分離膜12を形成する(図1(a))。

【0017】次いで、シリコン基板11上の素子形成領域13に、例えばSiO<sub>2</sub>膜15を300Å程度、さらにその上にSi<sub>3</sub>N<sub>4</sub>膜14を1200Å程度、順次形成する(図1(b))。

【0018】その後、ゲート電極16を形成する部分のSi<sub>3</sub>N<sub>4</sub>膜14をフォトリソエッチングにより除去し(図1(c))、必要に応じて、例えばボロンイオンを3×10<sup>13</sup>cm<sup>-2</sup>程度イオン注入する。

【0019】次いで、Si<sub>3</sub>N<sub>4</sub>膜14をマスクとして、約1000℃のウェット酸化によってゲート電極16を形成する部分に選択酸化膜18として約6000ÅのSiO<sub>2</sub>膜を形成する(図1(d))。

【0020】そして、さらにSi<sub>3</sub>N<sub>4</sub>膜14をマスクとし

4

て、SiO<sub>2</sub>の選択酸化膜18を異方性エッチングによって除去する(図1(e))。なお、異方性エッチングを行う際、シリコン基板11のダメージを低減するためにウェットエッチングと併用しても良い。

【0021】次いで、異方性エッチングによって露出したシリコン基板11を酸化することによってゲート酸化膜17を形成する(図1(f))。

【0022】その後、Si<sub>3</sub>N<sub>4</sub>膜14をウェット除去し(図1(g))、必要ならば閾値コントロール用のイオン注入を行う。この工程によりゲート長が決定される。つまり初期のSi<sub>3</sub>N<sub>4</sub>膜14エッチング時の工程でゲート長が制御され、この工程によってゲート長が決定されることとなる。

【0023】そして、異方性エッチングによって形成したSiO<sub>2</sub>の選択酸化膜18の凹部及びゲート電極形成領域23にゲート電極材料であるポリシリコン16aを8000Å程度積層させる(図1(h))。

【0024】次いで、ゲート電極16を残存しているSiO<sub>2</sub>の選択酸化膜18の間に埋め込むように、異方性エッチングによってゲート電極材料であるポリシリコン16aをエッチバックする(図1(i))。

【0025】そして、SiO<sub>2</sub>の選択酸化膜18を成長させた際にマスクとして用いたSi<sub>3</sub>N<sub>4</sub>膜14があった部分のSiO<sub>2</sub>膜15をいったん除去する(図1(j))。

【0026】その後その上に、例えばSi<sub>3</sub>N<sub>4</sub>膜14があった部分に酸化膜21を300Å程度成長させ、ゲート電極16をマスクとして、バース・ピーク18a及び酸化膜21を通してイオン注入を行い、ソース領域19及びドレイン領域20を形成する。

【0027】このような方法により製造された半導体装置10においては、ゲート電極16がシリコン基板11と選択酸化膜18の中に埋め込まれるように形成されることとなるので、ゲート電極16と酸化膜21との段差を小さくすることができ、後の工程で容易に配線を行うことができる。また、ゲート電極16をマスクとし、さらに選択酸化膜18の異方性エッチングにより残存したバース・ピーク18a及び酸化膜21を通じてイオン注入を行うことにより、イオン注入をバース・ピーク18aのテーパに対応した濃度分布で行うことができるので、従来からLDD構造のトランジスタを作成するために行われていた低濃度のソース領域とドレイン領域との形成、及び高濃度のソース領域と高濃度のドレイン領域との形成工程を一回のイオン注入の工程で行うことができ、イオン注入工程を簡略化することができる。さらに、シリコン基板11上にゲート電極16を形成する際、ゲート電極16の寸法はSi<sub>3</sub>N<sub>4</sub>膜14を除去する際に容易に制御されることとなるとともに、ゲート電極16をエッチングする際の工程が容易となりオーバーエッチングをすることがなくなるので、従来よりも簡略化された工程で、微細な半導体装置10を製造することが可

5

能となる。

# 【0028】

【発明の効果】以上詳述したように本発明に係る半導体装置の製造方法は、(a)シリコン基板上に $\text{SiO}_2$ 膜、 $\text{Si}_3\text{N}_4$ 膜を順次形成する工程、(b)ゲート電極形成領域上の前記 $\text{Si}_3\text{N}_4$ 膜を除去する工程、(c)前記 $\text{Si}_3\text{N}_4$ 膜をマスクとして前記 $\text{SiO}_2$ 膜を選択的に酸化する工程、

(d)前記 $\text{Si}_3\text{N}_4$ 膜をマスクとして前記選択酸化膜を異方性エッチングにより除去する工程、(e)露出したシリコン基板部分を酸化する工程、(f)前記 $\text{Si}_3\text{N}_4$ 膜を除去する工程、(g)ゲート電極を残存している前記選択酸化膜間に埋め込む工程、(h)前記ゲート電極をマスクとしてイオン注入し、ソース、ドレイン領域を形成する工程、を含んでいるので、前記ゲート電極が前記シリコン基板と前記選択酸化膜の中に埋め込まれるように形成されることとなり、前記ゲート電極と前記シリコン基板との段差を小さくすることができ、後の工程で容易に配線を行うことができる。また、前記ゲート電極をマスクとし、さらに前記選択酸化膜の異方性エッチングにより残存したバース・ビークを通じてイオン注入を行う

6

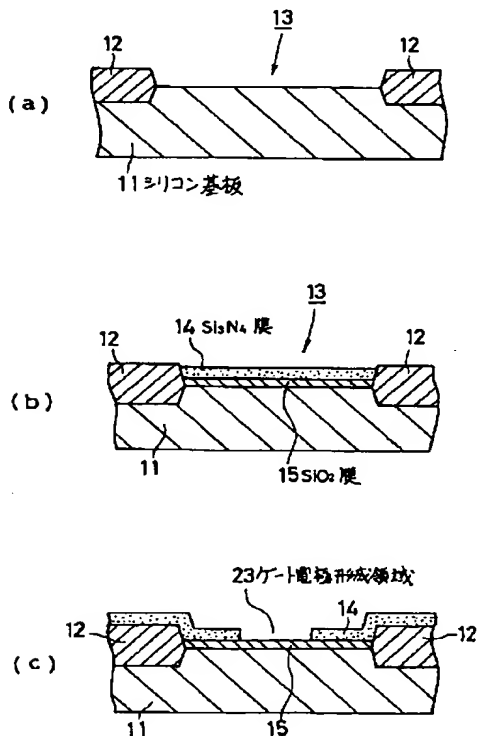
ことにより、イオン注入を前記バース・ビークのテーパに対応した濃度分布で行なうことができることとなり、従来からLDD構造のトランジスタを作成するために行われていた低濃度のソース領域とドレイン領域との形成、及び高濃度のソース領域と高濃度のドレイン領域との形成工程を一回のイオン注入の工程で行うことができ、イオン注入工程を簡略化することができる。さらに、前記シリコン基板上に前記ゲート電極を形成する際、該ゲート電極の寸法は前記 $\text{Si}_3\text{N}_4$ 膜を除去する際に容易に制御されることとなるとともに、前記ゲート電極をエッチングする際の工程が容易となりオーバーエッチングをすることがなくなるので、従来よりも簡略化された工程で、微細な半導体装置を製造することが可能となる。

# 【図面の簡単な説明】

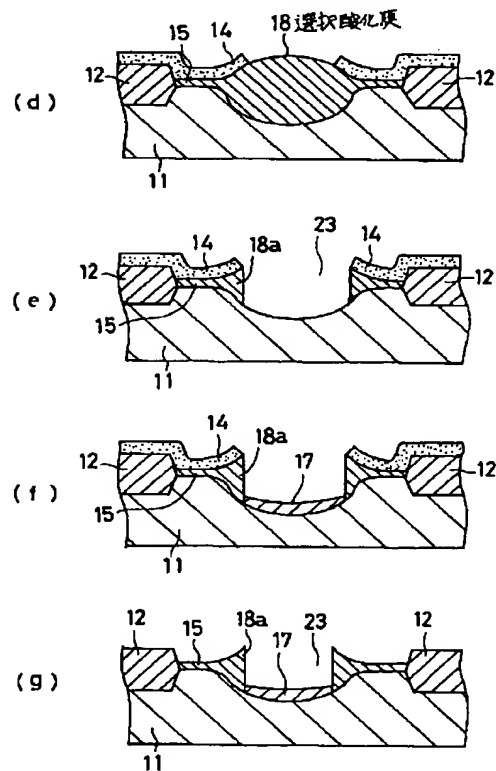
【図1】(a)～(k)は本発明に係る半導体装置の製造方法の製造工程の一実施例を示す模式的断面図である。

【図2】(a)～(g)は従来の半導体装置の製造方法の製造工程の一例を示す模式的断面図である。

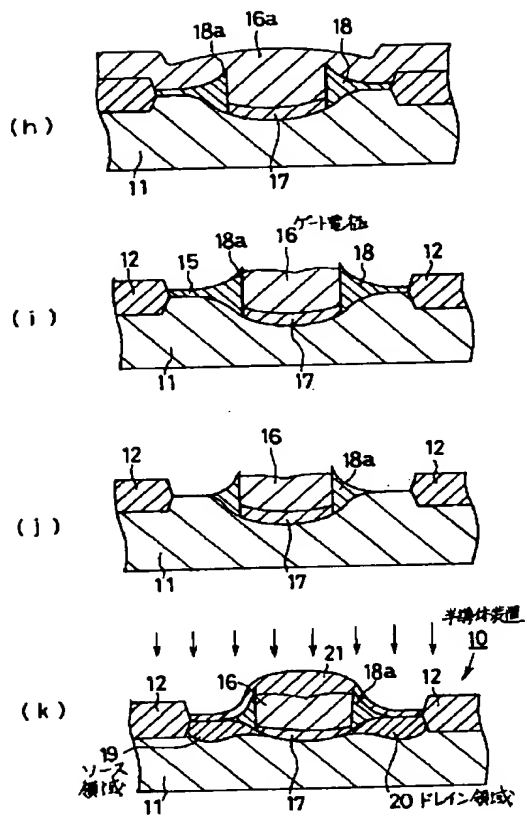
【図1】



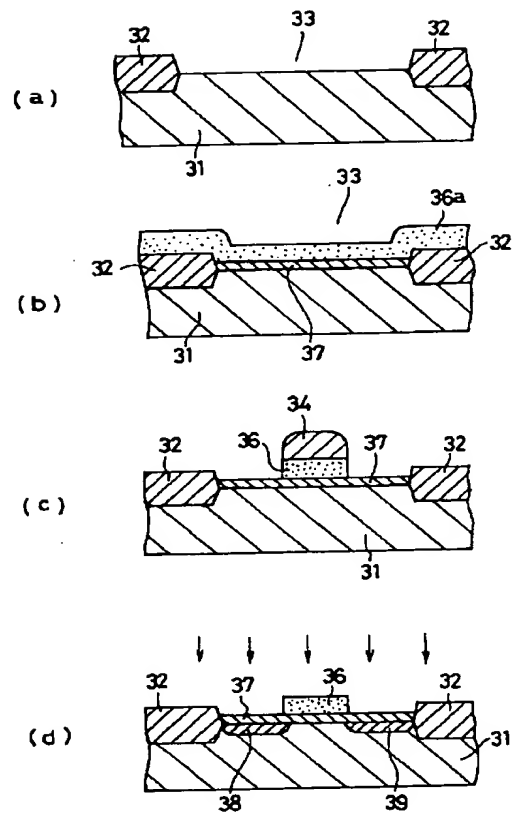
【図1の1】



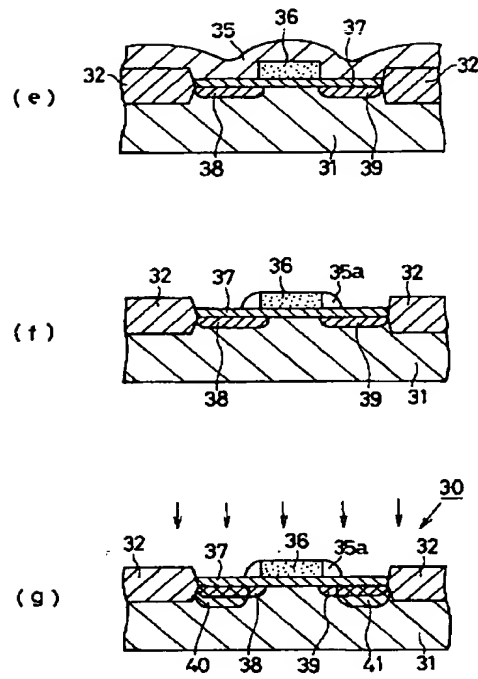
【図 1 の 2】



【図 2】



【図 2 の 1】



【手続補正書】

【提出日】平成 4 年 1 0 月 1 6 日

【手続補正 1】

【補正対象書類名】図面

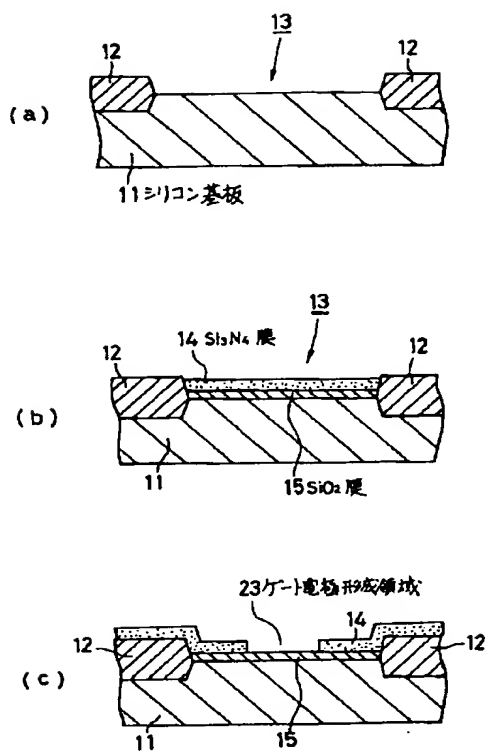
【補正対象項目名】全図

【補正方法】変更

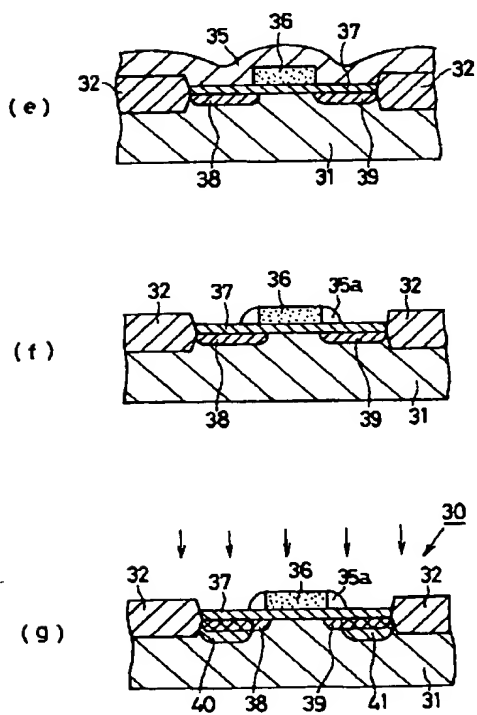
【補正内容】



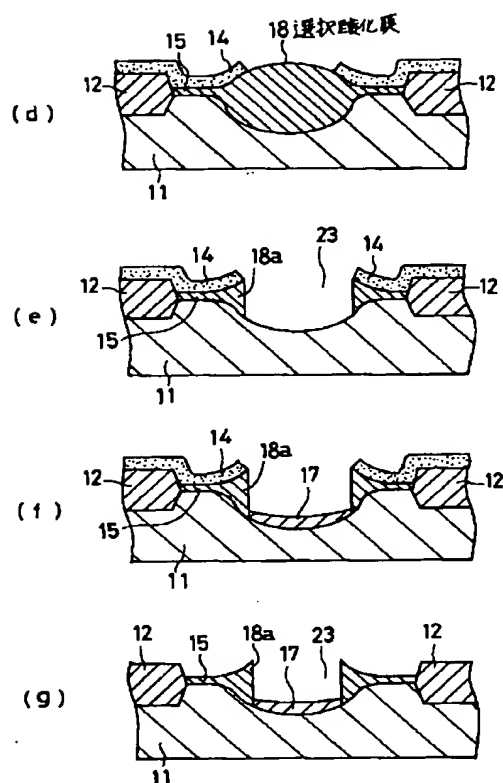
【図 1】



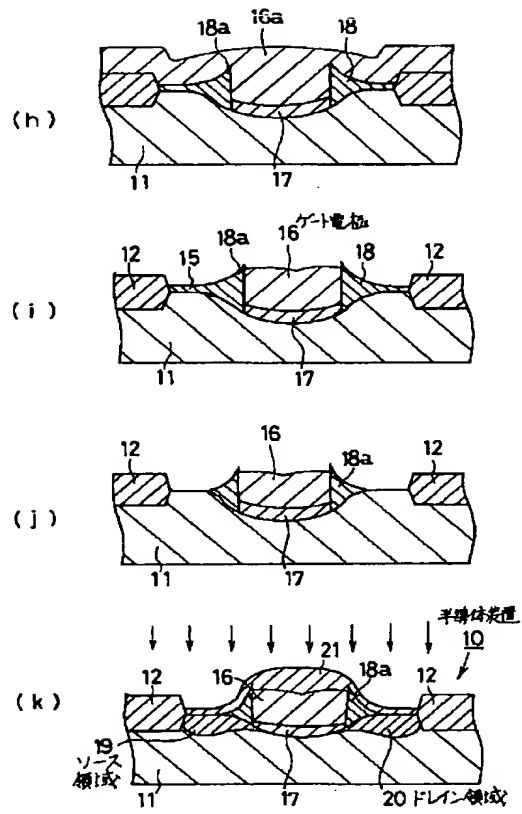
【図 2 の 2】



【図 1 の 2】



【図1の3】



【図2】

